

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001053603 A

(43) Date of publication of application: 23 : 02 : 01

(51) Int. Cl.

H03L 7/089
G06F 1/06

(21) Application number: 11223265

(71) Applicant: SANYO ELECTRIC CO., LTD.

(22) Date of filing: 06 08 99

(72) Inventor: FURUKAWA RIICHI
SATO MASAAKI

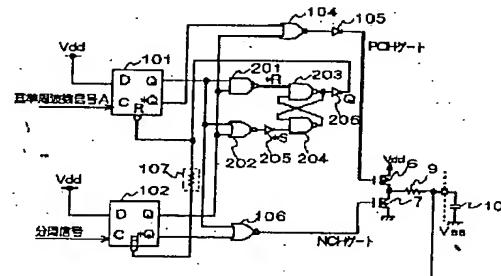
(54) PLL CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To secure the phase comparing operation of a PLL circuit.

SOLUTION: When Q terminal outputs of D type flip-flops 101 and 102 vary to high level as a reference frequency signal A and a frequency-division signal rise, an RS type flip-flop outputs a low-level reset signal. As the reset signal is generated, the D type flip-flops 101 and 102 are reset and when the Q terminal outputs both vary to the low level, the RS flip-flop outputs a high-level set signal. As the set signal is generated, the D type flip-flops 101 and 102 are released from being reset. Consequently, a wiring resistance 107 can be ignored and one of a P channel MOSFET 6 and an N channel MOSFET 7 turns on by the phase difference between the reference frequency signal A and frequency division signal to perform charging and discharging operation.

COPYRIGHT: (C)2001 JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-53603

(P2001-53603A)

(43)公開日 平成13年2月23日 (2001.2.23)

(51)Int.Cl.⁷

H 03 L 7/089

G 06 F 1/06

識別記号

F I

テマコード(参考)

H 03 L 7/08

D 5 B 0 7 9

G 06 F 1/04

3 1 0 A 5 J 1 0 6

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21)出願番号 特願平11-223265

(22)出願日 平成11年8月6日(1999.8.6)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 古川 利一

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 佐藤 正明

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100111383

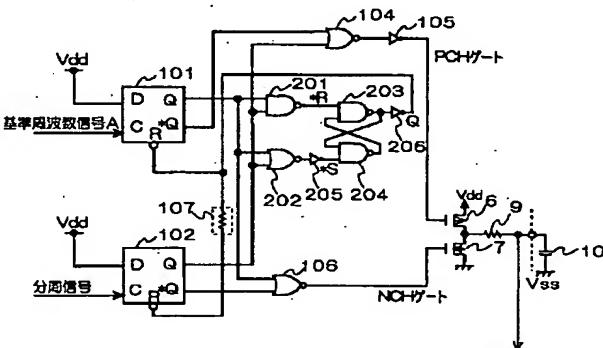
弁理士 芝野 正雅

最終頁に続く

(54)【発明の名称】 PLL回路

(57)【要約】

【課題】 PLL回路の位相比較動作を確実とする。
【解決手段】 基準周波数信号A、分周信号の立ち上がりに伴いD型フリップフロップ101、102のQ端子出力がハイレベルに変化すると、RS型フリップフロップはローレベルのリセット信号を出力する。リセット信号の発生に伴いD型フリップフロップ101、102がリセットされQ端子出力が共にローレベルに変化すると、RSフリップフロップはハイレベルのセット信号を出力する。セット信号の発生に伴いD型フリップフロップ101、102はリセット解除される。以上より、配線抵抗107を無視でき、基準周波数信号Aと分周信号の位相差だけPチャンネル型MOSFET6又はNチャンネル型MOSFET7の何れか一方がオンして充放電動作が実行される。



【特許請求の範囲】

【請求項1】 基準周波数信号と分周器から得られる所定分周信号とを位相比較する位相比較器と、前記位相比較器の位相比較結果に応じて充電又は放電を行う充放電回路と、前記充放電回路の出力電圧を当該出力電圧レベルに相当する周波数信号に変換する電圧制御発振器と、前記周波数信号を所定分周する前記分周器とより閉ループを形成し、前記所定分周信号の周波数を前記基準周波数信号の周波数と一致させる様に動作するPLL回路において、

前記位相比較器は、

前記基準周波数信号、前記所定分周信号が各々供給された時に一方の論理値信号を出力する第1及び第2の論理値信号出力回路と、

前記第1及び第2の論理値信号出力回路の両出力信号に応じて、前記充放電回路の充放電を制御する為の制御信号を出力する制御信号出力回路と、

前記第1及び第2の論理値信号出力回路が一方の論理値信号を出力した時、前記第1及び第2の論理値信号出力回路の為のリセット信号を出力し、前記第1及び第2の論理値信号出力回路が前記リセット信号に伴い他方の論理値信号を出力した時、前記第1及び第2の論理値信号出力回路の為のリセット解除信号を出力するリセット制御回路と、

を備えて成ることを特徴とするPLL回路。

【請求項2】 前記第1及び第2の論理値信号出力回路は、D型フリップフロップであることを特徴とする請求項1記載のPLL回路。

【請求項3】 前記リセット制御回路は、前記第1及び第2の論理値信号出力回路の両出力信号に基づいてリセット又はセットされるRS型フリップフロップであることを特徴とする請求項2記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、PLL回路に関する。

【0002】

【従来の技術】 図1は一般的なPLL回路を示す回路ブロック図である。尚、図1はマイクロコンピュータに使用されるものとする。

【0003】 図1において、発振器(1)は基準周波数信号Aを発生するものであり、発振振動子(2)、コンデンサ(3)、(4)が外部接続される。例えば、基準周波数信号Aが32KHzの場合、発振振動子(2)として水晶振動子が使用される。位相比較器(5)は、基準周波数信号Aと後述する分周器からの分周信号との位相を比較し、基準周波数信号Aと分周信号との間における位相進み又は位相遅れに応じて位相比較信号a、bを出力するものである。Pチャンネル型MOSFET(6)及びNチャンネル型MOSFET(7)は電源Vddと

接続Vssとの間に直列接続され、Pチャンネル型MOSFET(6)のゲートはインバータ(8)を介して位相比較器(5)の出力端aと接続され、Nチャンネル型MOSFET(7)のゲートは位相比較器(5)の出力端bと接続される。Pチャンネル型MOSFET(6)及びNチャンネル型MOSFET(7)の共通ドレイン接続点と接続Vssとの間には時定数回路として抵抗(9)及びコンデンサ(10)が直列接続される。即ち、Pチャンネル型MOSFET(6)、Nチャンネル型MOSFET(7)、抵抗(9)及びコンデンサ(10)は充放電回路を構成する。電圧制御発振器(11)は、抵抗(9)及びコンデンサ(10)の接続点に現れる充放電電圧が供給され、当該電圧レベルに応じた周波数信号Bを発生するものである。電圧制御発振器(11)は、入力電圧の上昇に伴い出力周波数も上昇し、入力電圧の下降に伴い出力周波数も下降する特性を有している。前述した分周器(12)は、電圧制御発振器(11)の周波数信号Bを所定分周し、基準周波数信号Aと等しい周波数の分周信号を得るものである。位相比較器(5)、充放電回路(6)、(7)、(9)、(10)、電圧制御発振器(11)、分周器(12)は負帰還ループを形成し、基準周波数信号A及び分周信号の位相ずれは補正され一致する様に作用する。例えば、発振器(1)の基準周波数信号Aが32KHz、電圧制御発振器(11)の周波数信号Bが14MHzの場合、分周器(12)の分周数は432となる。以上より、基準周波数信号Aに位相が一致した周波数信号Bを得ることができる。

【0004】 システムクロック選択回路(14)は、発振器(1)の基準周波数信号A、電圧制御発振器(11)の周波数信号B、RC発振器(13)の周波数信号Cが供給され、周波数信号A、B、Cの何れか1つを選択してマイクロコンピュータを動作させる為のシステムクロックを作成出力するものである。尚、RC発振器(13)は発振安定時間が極めて短い為、周波数信号Cは電源投入時に選択される。周波数信号Bは、電源が定常状態に達した時点で周波数信号に代えて選択される。基準周波数信号Aはマイクロコンピュータのスタンバイ動作実行時、計時動作実行時等に選択される。

【0005】 ROM(15)は、不揮発性メモリであり、マイクロコンピュータの動作制御用プログラムデータ、テーブルデータ等が予め格納されたものである。尚、ROM(15)は、マスクROM、EPROM、EEPROMの何れであってもよい。プログラムカウンタPC(16)はROM(15)をアドレス指定するものである。インストラクションレジスタIR(17)はROM(15)の読み出しデータを一時保持するものである。インストラクションデコーダIDEC(18)はインストラクションレジスタIR(17)の保持内容を解読し、演算動作を実行する為の制御信号等を発生するも

のである。RAM(19)は、SRAM等の揮発性メモリであり、制御信号に基づく演算結果等が順次格納される。レジスタ(20)は、インストラクションデコーダIDE(18)の解読結果に従い、基準周波数信号A、周波数信号B、Cの何れか1つを選択する為の選択データがセットされるものである。

【0006】図3は位相比較器(5)の具体例を示す回路ブロック図である。

【0007】図3において、D型フリップフロップ(101)のD端子には電源Vddが常時供給され、C端子には基準周波数信号Aが供給される。即ち、D型フリップフロップ(101)のQ端子からは基準周波数信号Aの立ち上がり変化毎にハイレベル(論理値「1」:5ボルト)が出力される。D型フリップフロップ(102)のD端子には電源Vddが常時供給され、C端子には分周信号が供給される。即ち、D型フリップフロップ(102)のQ端子からは分周信号の立ち上がり変化毎にハイレベル(論理値「1」:5ボルト)が出力される。NANDゲート(103)は、D型フリップフロップ(101)(102)のQ端子2出力の論理積を出力し、この時の論理積信号DをD型フリップフロップ(101)(102)のR端子に供給するものである。即ち、論理積信号Dがローレベル(論理値「0」:0ボルト)の時、D型フリップフロップ(101)(102)はリセットされる。NORゲート(104)は、D型フリップフロップ(101)の*Q端子出力とD型フリップフロップ(102)のQ端子出力の反転論理和を出力し、この時の反転論理和信号Eをインバータ(105)を介してPチャンネル型MOSFET(6)のゲートに供給するものである。即ち、反転論理和信号Eがハイレベルの時、Pチャンネル型MOSFET(6)がオンし、充放電回路は充電動作を開始する。NORゲート(106)は、D型フリップフロップ(101)のQ端子出力とD型フリップフロップ(102)の*Q端子出力の反転論理和を出力し、この時の反転論理和信号FをNチャンネル型MOSFET(7)のゲートに供給するものである。即ち、反転論理和信号Fがハイレベルの時、Nチャンネル型MOSFET(7)がオンし、充放電回路は放電動作を開始する。

【0008】以下、図3の位相比較動作を、図4及び図5のタイムチャートを用いて説明する。尚、図4は基準周波数信号Aの位相が分周信号の位相より進んでいる場合、図5は基準周波数信号Aの位相が分周信号の位相より遅れている場合を示す。

【0009】先ず、図4の状態の場合、基準周波数信号Aの立ち上がりに伴いD型フリップフロップ(101)のQ端子出力がハイレベルとなり、その後、分周信号の立ち上がりに伴いD型フリップフロップ(102)のQ端子出力がハイレベルとなる。D型フリップフロップ(101)(102)のQ端子出力が共にハイレベルと

なった時点で、NANDゲート(103)の論理積信号Dはローレベルとなり、D型フリップフロップ(101)(102)はリセットされる。D型フリップフロップ(101)(102)が共にリセットされた時点で、NANDゲート(103)の論理積信号Dはハイレベルとなり、D型フリップフロップ(101)(102)はリセット解除される。D型フリップフロップ(101)(102)のQ端子出力が各々ハイレベル、ローレベルとなる期間、即ち、基準周波数信号A及び分周信号の位相差を表す期間だけ、NORゲート(104)の論理和信号Eがハイレベルとなる為、Pチャンネル型MOSFET(6)がオンし、充放電回路は抵抗(9)の抵抗値及びコンデンサ(10)の容量で定まる時定数に従って充電動作を行う。これより、基準周波数信号A及び分周信号の間に位相差が存在する場合、位相比較器(5)は、Pチャンネル型MOSFET(6)を周期的にオンさせ、基準周波数信号A及び分周信号の位相差を縮める様に、分周信号の周波数を上昇させて最終的に一致させる。

【0010】次に、図5の状態の場合、分周信号の立ち上がりに伴いD型フリップフロップ(102)のQ端子出力がハイレベルとなり、その後、基準周波数信号Aの立ち上がりに伴いD型フリップフロップ(101)のQ端子出力がハイレベルとなる。D型フリップフロップ(101)(102)のQ端子出力が共にハイレベルとなった時点で、NANDゲート(103)の論理積信号Dはローレベルとなり、D型フリップフロップ(101)(102)はリセットされる。D型フリップフロップ(101)(102)が共にリセットされた時点で、NANDゲート(103)の論理積信号Dはハイレベルとなり、D型フリップフロップ(101)(102)はリセット解除される。D型フリップフロップ(101)(102)のQ端子出力が各々ローレベル、ハイレベルとなる期間、即ち、分周信号及び基準周波数信号Aの位相差を表す期間だけ、NORゲート(106)の論理和信号Fがハイレベルとなる為、Nチャンネル型MOSFET(7)がオンし、充放電回路は放電動作を行う。これより、基準周波数信号A及び分周信号の間に位相差が存在する場合、位相比較器(5)は、Nチャンネル型MOSFET(7)を周期的にオンさせ、基準周波数信号A及び分周信号の位相差を縮める様に、分周信号の周波数を下降させて最終的に一致させる。

【0011】

【発明が解決しようとする課題】しかし、図3の場合、チップ上における配線の関係上、例えば、D型フリップフロップ(102)のR端子とNANDゲート(103)の出力端子との間の長さL2が、D型フリップフロップ(101)のR端子とNANDゲート(103)の出力端子との間の長さL1よりも長い場合、D型フリップフロップ(101)(102)をリセットする際、長

さし2の配線抵抗(107)に起因して、D型フリップフロップ(101)のみが先行リセットされる問題を生じことがある。また、電源電圧の瞬間的な変動に伴い、電源安定時における配線抵抗(107)による信号伝達遅延がより長くなった場合、D型フリップフロップ(101)のみが先行リセットされ、D型フリップフロップ(102)がリセットされない問題が生じる。この場合、D型フリップフロップ(102)のリセット以前に、NANDゲート(103)の論理積信号Dがローレベルからハイレベルに変化し、D型フリップフロップ(102)のQ端子出力はリセットされずにハイレベルを継続する。従って、D型フリップフロップ(101)(102)のQ端子出力が各々ローレベル、ハイレベルの状態を継続する為、NORゲート(106)の論理和信号Fのハイレベルに伴いNチャンネル型MOSFET(7)がオンしてしまい、適切な位相比較動作を実行できなくなる問題があった。

【0012】そこで、本発明は、適切な位相比較動作を実現できるPLL回路を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は、前記問題点を解決する為に創作されたものであり、基準周波数信号と分周器から得られる所定分周信号とを位相比較する位相比較器と、前記位相比較器の位相比較結果に応じて充電又は放電を行う充放電回路と、前記充放電回路の出力電圧を当該出力電圧レベルに相当する周波数信号に変換する電圧制御発振器と、前記周波数信号を所定分周する前記分周器とより閉ループを形成し、前記所定分周信号の周波数を前記基準周波数信号の周波数と一致させる様に動作するPLL回路において、前記位相比較器は、前記基準周波数信号、前記所定分周信号が各々供給された時に一方の論理値信号を出力する第1及び第2の論理値信号出力回路と、前記第1及び第2の論理値信号出力回路の両出力信号に応じて、前記充放電回路の充放電を制御する為の制御信号を出力する制御信号出力回路と、前記第1及び第2の論理値信号出力回路が一方の論理値信号を出力した時、前記第1及び第2の論理値信号出力回路の為のリセット信号を出力し、前記第1及び第2の論理値信号出力回路が前記リセット信号に伴い他方の論理値信号を出力した時、前記第1及び第2の論理値信号出力回路の為のリセット解除信号を出力するリセット制御回路と、を備えて成ることを特徴とする。

【0014】

【発明の実施の形態】本発明の詳細を図面に従って具体的に説明する。

【0015】図2はPLL回路に使用される、本発明の位相比較器の内部回路を示す回路ブロック図である。

尚、図3と同一素子には同一番号を付し、その説明を省略する。

【0016】図2において、NANDゲート(201)

は、D型フリップフロップ(101)(102)のQ端子出力の論理積信号を出力するものである。NORゲート(202)は、D型フリップフロップ(101)(102)のQ端子出力の論理和信号を出力するものである。NANDゲート(203)(204)はRS型フリップフロップを構成し、*R端子にはNANDゲート(201)の論理積信号が供給され、*S端子にはNORゲート(202)の論理和信号がインバータ(205)を介して供給され、NANDゲート(203)の出力端子に現れる出力信号はインバータ(206)を介してD型フリップフロップ(101)(102)のR端子に供給される。

【0017】以下、図2の位相比較動作を図4及び図5のタイムチャートを用いて説明する。

【0018】先ず、図4の状態の場合、基準周波数信号Aの立ち上がりに伴いD型フリップフロップ(101)のQ端子出力がハイレベルとなり、その後、分周信号の立ち上がりに伴いD型フリップフロップ(102)のQ端子出力がハイレベルとなる。D型フリップフロップ(101)(102)のQ端子出力が共にハイレベルとなった時点で、NANDゲート(201)の論理積信号のローレベル変化に伴いRS型フリップフロップがリセットされ、インバータ(206)のローレベル出力に従ってD型フリップフロップ(101)(102)がリセットされる。この時、D型フリップフロップ(101)(102)が共にリセットされる迄、RS型フリップフロップの出力信号が変化しない構成となっており、配線抵抗(107)を無視することができる。D型フリップフロップ(101)(102)が共にリセットされると、NORゲート(202)の論理和信号のハイレベル変化に伴いRS型フリップフロップがセットされ、インバータ(206)のハイレベル出力に従ってD型フリップフロップ(101)(102)がリセット解除される。従って、D型フリップフロップ(101)のリセット時、D型フリップフロップ(102)がリセットされず一点鎖線の様にハイレベルを継続する不都合を解消できる。即ち、Pチャンネル型MOSFET(6)が基準周波数信号Aと分周信号の位相差時間だけ繰り返しオンし、両信号の位相を一致させるまで動作する。

【0019】次に、図5の状態の場合、分周信号の立ち上がりに伴いD型フリップフロップ(102)のQ端子出力がハイレベルとなり、その後、基準周波数信号Aの立ち上がりに伴いD型フリップフロップ(101)のQ端子出力がハイレベルとなる。D型フリップフロップ(101)(102)のQ端子出力が共にハイレベルとなった時点で、NANDゲート(201)の論理積信号のローレベル変化に伴いRS型フリップフロップがリセットされ、インバータ(206)のローレベル出力に従ってD型フリップフロップ(101)(102)がリセットされる。この時、D型フリップフロップ(101)

(102) が共にリセットされる迄、R S型フリップフロップの出力信号が変化しない構成となっている為、図4と同様に配線抵抗(107)を無視することができる。D型フリップフロップ(101)(102)が共にリセットされると、NORゲート(202)の論理和信号のハイレベル変化に伴いR S型フリップフロップがセットされ、インバータ(206)のハイレベル出力に従ってD型フリップフロップ(101)(102)がリセット解除される。従って、D型フリップフロップ(101)のリセット時、D型フリップフロップ(102)がリセットされずQ端子出力が一点鎖線の様にハイレベルを継続する不都合を解消できる。即ち、Nチャンネル型MOSFET(7)が基準周波数信号Aと分周信号の位相差時間だけ繰り返しオンし、両信号の位相を一致させるまで動作する。

【0020】以上より、分周信号が、基準周波数信号Aに対し、位相進み又は位相遅れの何れの場合であっても、配線抵抗(107)を無視でき、確実な位相比較動作を実現できる。

【0021】

【発明の効果】本発明によれば、PLL回路から得られる分周信号が基準周波数信号に対して位相進み又は位相遅れの何れの場合であっても、配線抵抗を無視して第1及び第2の論理値信号出力回路を共にリセット及びリセ

ット解除できる為、確実な位相比較動作を実行できる利点が得られる。

【図面の簡単な説明】

【図1】一般的なPLL回路を示す回路ブロック図である。

【図2】本発明のPLL回路に使用される位相比較器の一実施形態を示す回路ブロック図である。

【図3】従来のPLL回路に使用される位相比較器の一実施形態を示す回路ブロック図である。

【図4】分周信号が基準周波数信号Aに対して位相遅れの状態の位相比較動作を示すタイムチャートである。

【図5】分周信号が基準周波数信号Aに対して位相進みの状態の位相比較動作を示すタイムチャートである。

【符号の説明】

(5) 位相比較器

(6) Pチャンネル型MOSFET

(7) Nチャンネル型MOSFET

(9) 抵抗

(10) コンデンサ

(11) 電圧制御発振器

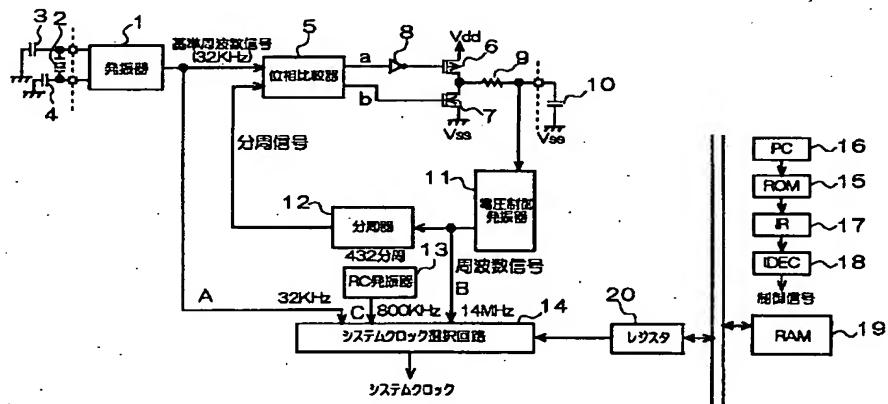
(12) 分周器

(101)(102) D型フリップフロップ

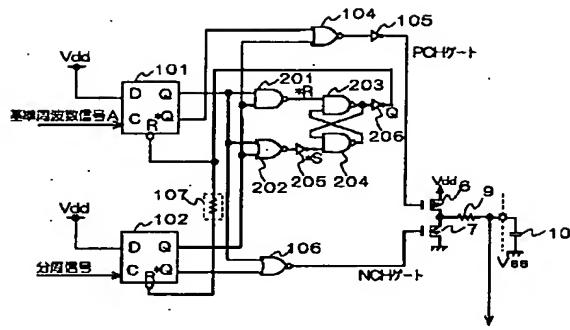
(201)(203)(204) NANDゲート

(202) NORゲート

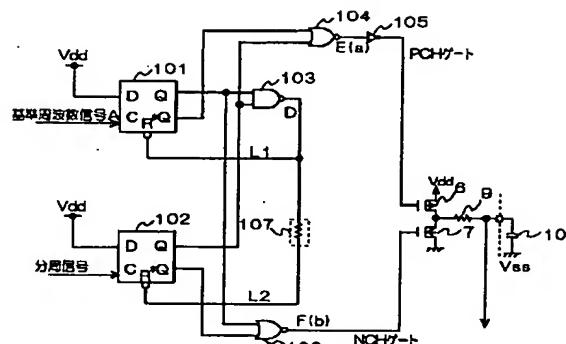
【図1】



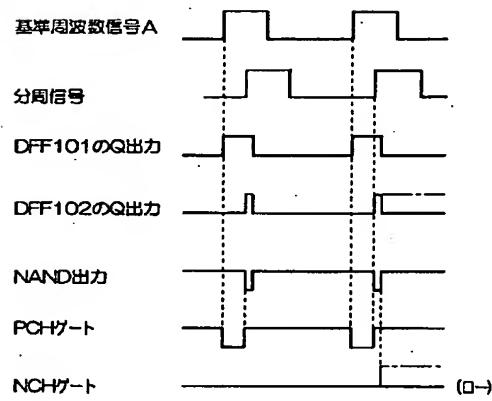
【図2】



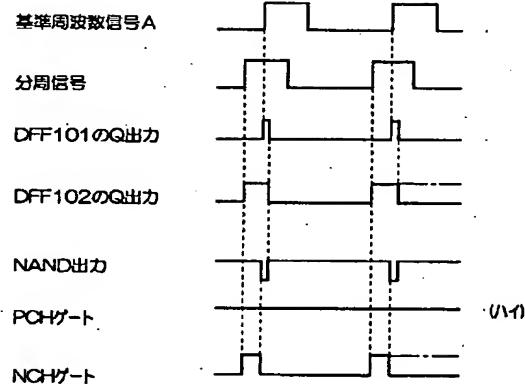
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5B079 CC08 DD01 DD02 DD03 DD17
 DD20
 5J106 AA04 CC01 CC15 CC24 CC52
 DD09 DD32 DD33 DD34 DD38
 DD42 DD43 DD48 GG04 HH09
 JJ02 KK05 LL02